

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001111000 A

(43) Date of publication of application: 20.04.01

(51) Int. Cl

**H01L 27/105
H01L 21/316
H01L 21/318
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 29/43**

(21) Application number: 2000242995

(22) Date of filing: 10.08.00

(30) Priority: 14.08.99 KR 1999 9933520

(71) Applicant:

SAMSUNG ELECTRONICS CO LTD

(72) Inventor:

**KIN EIKAN
BOKU KOSHU
PARK YOUNG-WOOK
LEE SANG-IN
CHANG YOON-HEE
RI SHOKO
CHOI SUNG-JE
LEE SEUNG-HWAN
LIM JAE-SOON
LEE JOO-WON**

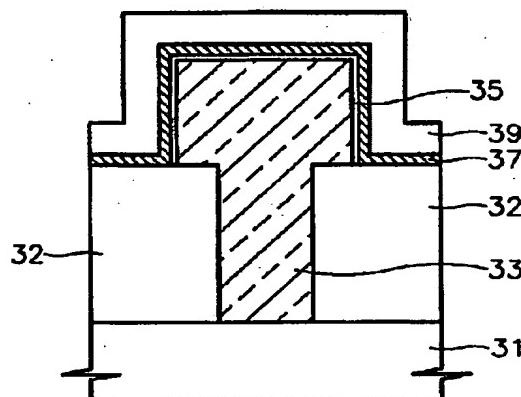
**(54) SEMICONDUCTOR ELEMENT AND
MANUFACTURING METHOD THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor element and a manufacturing method thereof.

SOLUTION: A semiconductor element and a manufacturing method thereof comprise a first electrode made of a silicon material, a stabilizing film which hydrophilizes a surface of the first electrode and readily forms a dielectric film, the dielectric film formed by supplying reactants in order, and a second electrode which is formed on the dielectric film and is larger in work function than the first electrode made of the silicon material.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-111000

(P2001-111000A)

(43)公開日 平成13年4月20日 (2001.4.20)

(51)Int.Cl.⁷
H 0 1 L 27/105
21/316
21/318
27/04
21/822

識別記号

F I
H 0 1 L 21/316
21/318
27/10
27/04
27/10

テマコト[®](参考)

X

M

4 4 4 A

C

4 4 4 B

審査請求 未請求 請求項の数42 O L (全 11 頁) 最終頁に続く

(21)出願番号 特願2000-242995(P2000-242995)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(22)出願日 平成12年8月10日 (2000.8.10)

(72)発明者 金 榮 寛

大韓民国京畿道抱川郡抱川邑新邑里39-11

番地

(72)発明者 朴 興 秀

大韓民国ソウル特別市松坡区芳▲い▼洞

オリンピックアパート319棟1601号

(74)代理人 100072349

弁理士 八田 幹雄 (外4名)

(31)優先権主張番号 99 P 3 3 5 2 0

(32)優先日 平成11年8月14日 (1999.8.14)

(33)優先権主張国 韓国 (KR)

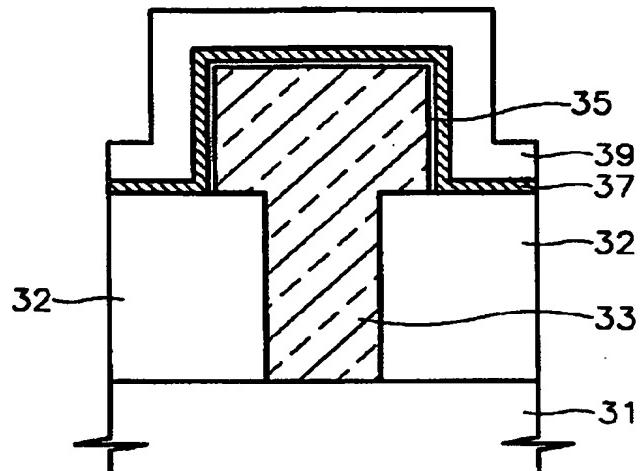
最終頁に続く

(54)【発明の名称】 半導体素子及びその製造方法

(57)【要約】

【課題】 半導体素子及びその製造方法を提供する。

【解決手段】 シリコン系物質で構成された第1電極と、前記第1電極の表面を親水性化させて誘電体膜の形成を容易にする安定化膜と、反応物を順次供給して形成された前記誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が大きい第2電極とを含んで成ることを特徴とする半導体素子およびその製造方法。



【特許請求の範囲】

【請求項1】 シリコン系物質で構成された第1電極と、前記第1電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が大きい第2電極とを含んで成ることを特徴とする半導体素子。

【請求項2】 前記誘電体膜はアルミニウム酸化物、アルミニウム水酸化物、 Ta_2O_5 、 BST 、 $SrTiO_3$ 、 $PbTiO_3$ 、 PZT 、 $PLZT$ 、 Y_2O_3 、 CeO_2 、 Nb_2O_5 、 TiO_2 、 ZrO_2 、 HfO_2 、 SiO_2 、 SiN および Si_3N_4 からなる群より選択される1または2以上より成ることを特徴とする請求項1に記載の半導体素子。

【請求項3】 前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、または前記シリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項1または2に記載の半導体素子。

【請求項4】 前記金属膜は Al 、 Ni 、 Co 、 Cu 、 Mo 、 Rh 、 Pd 、 Sn 、 Au 、 Pt 、 Ru および Ir からなる群より選択されて成り、前記高融点金属膜は Ti 、 TiN 、 $TiAlN$ 、 TaN 、 $TiSiN$ 、 WN 、 WBN 、 $CoSi$ および W からなる群より選択されて成り、前記導電性酸化膜は RuO_2 、 RhO_2 および IrO_2 からなる群より選択されて成ることを特徴とする請求項3に記載の半導体素子。

【請求項5】 前記第1電極上に前記第1電極の表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜が形成されてなることを特徴とする請求項1～4のいずれか1項に記載の半導体素子。

【請求項6】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項5に記載の半導体素子。

【請求項7】 前記誘電体膜は原子層蒸着法により形成された膜であることを特徴とする請求項1～6のいずれか1項に記載の半導体素子。

【請求項8】 前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることを特徴とする請求項7に記載の半導体素子。

【請求項9】 シリコン系物質で構成されたキャパシタの下部電極と、前記下部電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された下部電極より仕事関数が大きいキャパシタの上部電極とを含んで成ることを特徴とする半導体素子。

【請求項10】 前記上部電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリ

コン膜とが順次形成された二重膜であることを特徴とする請求項9に記載の半導体素子。

【請求項11】 前記下部電極上に前記下部電極の表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜が形成されてなることを特徴とする請求項9または10に記載の半導体素子。

【請求項12】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項11に記載の半導体素子。

【請求項13】 前記誘電体膜は原子層蒸着法により形成された膜であることを特徴とする請求項9～12のいずれか1項に記載の半導体素子。

【請求項14】 前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることを特徴とする請求項13に記載の半導体素子。

【請求項15】 シリコン基板と、前記シリコン基板上に反応物を順次供給して形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記シリコン基板より仕事関数が大きいゲート電極とを含んで成ることを特徴とする半導体素子。

【請求項16】 前記ゲート電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項15に記載の半導体素子。

【請求項17】 前記シリコン基板上に前記シリコン基板の表面を親水性化させて前記ゲート絶縁膜の形成を容易にする安定化膜が形成されてなることを特徴とする請求項15または16に記載の半導体素子。

【請求項18】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項17に記載の半導体素子。

【請求項19】 前記ゲート絶縁膜は原子層蒸着法により形成された膜であることを特徴とする請求項15～18のいずれか1項に記載の半導体素子。

【請求項20】 前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることを特徴とする請求項19に記載の半導体素子。

【請求項21】 半導体基板上にシリコン系物質で構成された第1電極を形成する段階と、前記第1電極上に、反応物を順次供給して誘電体膜を形成する段階と、前記誘電体膜上に、前記シリコン系物質で構成された第1電極より仕事関数が大きい第2電極を形成する段階とを含む半導体素子の製造方法。

【請求項22】 前記誘電体膜はアルミニウム酸化物、アルミニウム水酸化物、 Ta_2O_5 、 BST 、 $SrTiO_3$ 、 $PbTiO_3$ 、 PZT 、 $PLZT$ 、 Y_2O_3 、 CeO_2 、 Nb_2O_5 、 TiO_2 、 ZrO_2 、 HfO_2 、 SiO_2 、 SiN および Si_3N_4 からなる群より選択される

1または2以上より成ることを特徴とする請求項21に記載の半導体素子の製造方法。

【請求項23】 前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項21または22に記載の半導体素子の製造方法。

【請求項24】 前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、TiN、TiAlN、TaN、TiSiN、WN、WBn、CoSiおよびWからなる群より選択されて成り、前記導電性酸化膜はRuO₂、RhO₂およびIrO₂からなる群より選択されて成ることを特徴とする請求項23に記載の半導体素子の製造方法。

【請求項25】 前記第1電極を形成する段階後、前記第1電極上に前記誘電体膜の形成を容易にする安定化膜をさらに形成することを特徴とする請求項21～24のいずれか1項に記載の半導体素子の製造方法。

【請求項26】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項25に記載の半導体素子の製造方法。

【請求項27】 前記誘電体膜は原子層蒸着法により形成することを特徴とする請求項21から26のいずれか1項に記載の半導体素子の製造方法。

【請求項28】 前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることを特徴とする請求項27に記載の半導体素子の製造方法。

【請求項29】 前記誘電体膜を形成する段階後、後熱処理をすることを特徴とする請求項21～28のいずれか1項に記載の半導体素子の製造方法。

【請求項30】 半導体基板上に、シリコン系物質で構成されたキャバシタの下部電極を形成する段階と、前記下部電極上に、反応物を順次供給して誘電体膜を形成する段階と、前記誘電体膜上に、シリコン系物質で構成された下部電極より仕事関数が大きいキャバシタの上部電極を形成する段階とを含んで成ることを特徴とする半導体素子の製造方法。

【請求項31】 前記上部電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上であるか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項30に記載の半導体素子の製造方法。

【請求項32】 前記下部電極を形成する段階後、前記下部電極上に前記下部電極表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜を形成することを特

徴とする請求項30または31に記載の半導体素子の製造方法。

【請求項33】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項32に記載の半導体素子の製造方法。

【請求項34】 前記誘電体膜は原子層蒸着法により形成することを特徴とする請求項30～33のいずれか1項に記載の半導体素子の製造方法。

【請求項35】 前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることを特徴とする請求項34に記載の半導体素子の製造方法。

【請求項36】 前記誘電体膜を形成する段階後、後熱処理をすることを特徴とする請求項30～35のいずれか1項に記載の半導体素子の製造方法。

【請求項37】 シリコン基板上に、反応物を順次供給してゲート絶縁膜を形成する段階と、前記ゲート絶縁膜上に、前記シリコン基板より仕事関数が大きいゲート電極を形成する段階とを含むことを特徴とする半導体素子の製造方法。

【請求項38】 前記ゲート電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上であるか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項37に記載の半導体素子の製造方法。

【請求項39】 前記ゲート絶縁膜を形成する前に、前記シリコン基板を親水性化させて前記ゲート絶縁膜の形成を容易にする安定化膜を形成することを特徴とする請求項37または38に記載の半導体素子の製造方法。

【請求項40】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項39に記載の半導体素子の製造方法。

【請求項41】 前記ゲート絶縁膜は原子層蒸着法により形成することを特徴とする請求項37～40のいずれか1項に記載の半導体素子の製造方法。

【請求項42】 前記ゲート絶縁膜を形成する段階後、後熱処理をすることを特徴とする請求項37～41のいずれか1項に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子及びその製造方法に係り、より詳しくはシリコン系物質を下部電極として採用する時、高誘電体膜（誘電率が高い誘電体膜）の絶縁特性を向上させ得る半導体素子及びその製造方法に関する。

【0002】

【従来の技術】 一般に、半導体素子は下部電極と上部電極との間に誘電体膜が形成される構造を含んでいる。例えば、下部電極の役割を果たすシリコン基板上に誘電体

膜（ゲート絶縁膜）及び上部電極の役割を果たすゲート電極が順次形成されたトランジスタの構造が挙げられる。又、下部電極上に誘電体膜及び上部電極が順次に形成されたキャパシタの構造が挙げられる。

【0003】ところで、前記上部電極と下部電極との間に存在する誘電体膜の絶縁特性は非常に重要である。例えば、トランジスタの耐圧特性は誘電体膜の絶縁特性に左右される。キャパシタでは誘電体膜の絶縁特性によりキャパシタンス値の差が発生する。

【0004】特に、キャパシタ構造においては誘電体膜の表面積が広くて誘電体膜の誘電率が高いほどキャパシタンス値が高くなる。従って、三次元構造を具現化しやすいポリシリコン膜を下部電極にする方法や、誘電率が高いタンタル酸化膜（ Ta_2O_5 ）やBST膜（ $BaSrTiO_3$ ）を誘電体膜として採用する方法が用いられている。しかし、タンタル酸化膜（ Ta_2O_5 ）やBST膜（ $BaSrTiO_3$ ）といった高誘電体膜を採用する場合には、安定したキャパシタを得るために後工程を追加する必要があるため工程が複雑になる。また、ポリシリコンを電極として使用し、タンタル酸化膜を誘電体膜として使用すると、ポリシリコン電極と誘電体膜との界面にシリコン酸化膜が形成されキャパシタンスが低下する問題があり、ポリシリコンを電極として使用し、BST膜を誘電体膜として使用すると、漏れ電流が大きい問題があり、これらの問題に対応するためには電極の物質を変えなければならなかった。

【0005】そこで、従来のものに比べてより優れた絶縁特性を有する半導体素子が求められていた。例えば、キャパシタ構造においてポリシリコン膜などのシリコン系物質を下部電極として使用する場合に、これまで以上に高誘電体膜の絶縁特性を向上させる半導体素子が求められていた。

【0006】

【発明が解決しようとする課題】本発明の目的はシリコン系物質を下部電極として採用する時、高誘電体膜の絶縁特性を向上させ得る半導体素子を提供することにある。

【0007】又、本発明の他の目的は好適な前記半導体素子の製造方法を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明の半導体素子はシリコン系物質で構成された第1電極と、前記第1電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が大きい第2電極とを含む。上部電極を前記下部電極より仕事関数が大きい物質膜で構成することにより、誘電体膜の絶縁特性を向上させられ、キャパシタ構造ではキャパシタンス値を高められる。

【0009】前記誘電体膜はアルミニウム酸化物、アル

10

ミニウム水酸化物、 Ta_2O_5 、BST、 $SrTiO_3$ 、 $PbTiO_3$ 、PZT、PLZT、 Y_2O_3 、 CeO_2 、 Nb_2O_5 、 TiO_2 、 ZrO_2 、 HfO_2 、 SiO_2 、 SiN および Si_3N_4 からなる群より選択される1または2以上より成ることが好ましい。

【0010】前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、または前記シリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることが好ましい。

【0011】前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、 TiN 、 $TiAlN$ 、 TaN 、 $TiSiN$ 、WN、 WBn 、 $CoSi$ およびWからなる群より選択されて成り、前記導電性酸化膜は RuO_2 、 RhO_2 および IrO_2 からなる群より選択されて成ることが好ましい。

【0012】前記第1電極上に前記第1電極の表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜が形成されてなることが好ましい。

【0013】前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることが好ましい。

【0014】前記誘電体膜は原子層蒸着法により形成された膜であることが好ましい。

【0015】前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることが好ましい。

【0016】また本発明は、半導体基板上にシリコン系物質で構成された第1電極を形成する段階と、前記第1電極上に、反応物を順次供給して誘電体膜を形成する段階と、前記誘電体膜上に、前記シリコン系物質で構成された第1電極より仕事関数が大きい第2電極を形成する段階とを含む半導体素子の製造方法である。

【0017】前記誘電体膜はアルミニウム酸化物、アルミニウム水酸化物、 Ta_2O_5 、BST、 $SrTiO_3$ 、 $PbTiO_3$ 、PZT、PLZT、 Y_2O_3 、 CeO_2 、 Nb_2O_5 、 TiO_2 、 ZrO_2 、 HfO_2 、 SiO_2 、 SiN および Si_3N_4 からなる群より選択される1または2以上より成ることが好ましい。

【0018】前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることが好ましい。

【0019】前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、 TiN 、 $TiAlN$ 、 TaN 、 $TiSiN$ 、WN、 WBn 、 $CoSi$ およびWからなる群より選択されて成

り、前記導電性酸化膜は RuO_2 、 RhO_2 および IrO_2 からなる群より選択されて成ることが好ましい。

【0020】前記第1電極を形成する段階後、前記第1電極上に前記誘電体膜の形成を容易にする安定化膜をさらに形成することが好ましい。

【0021】前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることが好ましい。

【0022】前記誘電体膜は原子層蒸着法により形成することが好ましい。

【0023】前記原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法であることが好ましい。

【0024】前記誘電体膜を形成する段階後、後熱処理をすることが好ましい。

【0025】なお、上記発明をキャパシタに適用するときは、前記第1電極及び第2電極は下部電極及び上部電極になり得る。また、上記発明をトランジスタに適用するときは、前記第1電極及び第2電極はシリコン基板及びゲート電極に成り得る。

【0026】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施形態を詳細に説明する。なお、本発明の半導体素子は、シリコン系物質で構成された第1電極と、前記第1電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が大きい第2電極とを含んで成ることを特徴とする半導体素子であるが、キャパシタに適用されるときは、キャパシタの下部電極が前記第1電極に対応し、キャパシタの上部電極が前記第2電極に対応する。また、トランジスタに適用されるときは、シリコン基板が前記第1電極に、ゲート絶縁膜が前記導電性酸化膜に、ゲート電極が前記第2電極にそれぞれ対応する。

【0027】図1は本発明の半導体素子の第1の実施形態を示した断面図である。

【0028】図1においてはキャパシタ構造を有する半導体素子を例に挙げて説明するが、上述したようにトランジスタなど他の半導体素子にも応用可能なことはもちろんある。図1の半導体素子は第1電極として例えばシリコン基板などの半導体基板31上にキャパシタの下部電極33と、誘電体膜37と、第2電極としてキャパシタの上部電極39とを含む。図1で、32は層間絶縁膜を示す。

【0029】下部電極33は三次元構造を作りやすいシリコン系物質、例えば憲やボロン等の不純物がドーピングされたポリシリコン膜で構成される。

【0030】誘電体膜37は下部電極33に反応物を順次供給して形成され、原子層蒸着法で形成することが好ましい。反応物とは誘電体膜を形成するために供給される物質をいい、例えばアルミニウム酸化物からなる誘

電体膜を形成するときには、TMA [Al(C₂H₅)₃]、Al(CH₃)Cl、AlCl₃などのアルミニウムが含有された反応物をチャンバーに供給して不活性ガスでバージした後、H₂O、N₂O、NO₂、O₃などの酸化ガスを供給して不活性ガスでバージングするサイクルを繰り返す方法を使用できる。原子層蒸着法としては原子層エピタキシー (Atomic Layer Epitaxy)、サイクリック化学蒸着法 (cyclic CVD)、デジタル化学蒸着法 (digital CVD)、AlCVDなど各種蒸着技術を使用できる。また、原子層蒸着法はチャンバーに反応ガスとバージングガスとを順次供給する方法を用いることが好ましい。これによりステップカバレージが良好になる。誘電体膜37はアルミニウム酸化物、アルミニウム水酸化物、Ta₂O₅、BST (BaSrTiO₃)、SrTiO₃、PbTiO₃、PZT (PbZr_xTi_{1-x}O₃)、PLZT (LaでドーピングされたPZT)、Y₂O₃、CeO₂、Nb₂O₅、TiO₂、ZrO₂、HfO₂、SiO₂、SiNおよびSi₃N₄からなる群より選択される1または2以上から構成されることが好ましい。

【0031】上部電極39はシリコン系物質で構成された下部電極より仕事関数が大きい物質で構成される。上部電極は金属膜、高融点金属膜、および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、または前記シリコン系物質より仕事関数が大きい物質膜とリンやボロンなどの不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることが好ましい。具体的には、金属膜としてはAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、Ru、Irの金属膜、高融点金属膜としてはTi、TiN、TiAlN、Ta₂N、TiSiN、WN、WBN、CoSi又はWの金属膜、導電性酸化膜としてはRuO₂、RhO₂又はIrO₂からなる膜が挙げられる。また二重膜としては、Alなどの前記金属膜、TiNなどの高融点膜またはRuO₂などの導電性酸化膜と不純物がドーピングされたポリシリコン膜の二重膜が挙げられる。

【0032】このように上部電極39の仕事関数を、下部電極33より大きくすることにより、後述するように下部電極33から上部電極39へ流れる電流量を少なくして誘電体膜の絶縁特性を向上させ得る。

【0033】さらに、本発明の半導体素子はキャパシタの下部電極33上に、下部電極の表面を親水性させて前記誘電体膜37の形成を容易にする安定化膜35を形成することが好ましい。例えば、前記安定化膜35は原子層蒸着法を用いて誘電体膜を形成する段階において、下部電極33上に供給される反応物が親水性物質の場合、前記下部電極33の表面を親水性化させる親水性膜、具体的にはシリコン酸化膜、シリコン窒化膜又はこれらの複合膜が形成されていることが好ましい。

態を示した断面図である。

【0035】本発明の第2の実施形態の半導体素子はトランジスタ構造である。即ち、本発明の半導体素子は第1電極として燐、砒素、ボロン、フッ素などの不純物がドーピングされたシリコン基板61と、誘電体膜としてゲート絶縁膜65と、第2電極としてゲート電極67とを備える。

【0036】即ち、本発明の第2の実施形態の半導体素子は第1の実施形態と比較すると、シリコン基板61が下部電極33に対応し、ゲート電極67が上部電極39に対応するものである。図2で、参考番号62は不純物ドーピング領域であって、ソース又はドレーン領域を示す。

【0037】ゲート絶縁膜65は反応物を順次供給する方法で形成され、原子層蒸着法で形成することが好ましい。原子層蒸着法は上記説明したものが使用でき、チャンバーに反応ガスとバージングガスとを順次供給する方法を用いることがより好ましい。ゲート絶縁膜65を原子層蒸着法により形成することにより、ステップカバレージ特性が優秀なものとなる。前記ゲート絶縁膜65はアルミニウム酸化物、アルミニウム水酸化物、Ta₂O₅、BST、SrTiO₃、PbTiO₃、PZT、PLZT、Y₂O₃、CeO₂、Nb₂O₅、TiO₂、ZrO₂、HfO₂、SiO₂、SiNおよびSi₃N₄からなる群より選択される1または2以上より構成されることが好ましい。

【0038】前記ゲート電極67はシリコン系物質で構成されたシリコン基板61より仕事関数が大きい物質膜で構成される。前記ゲート電極67は第1の実施形態における上部電極と同様の物質からなることが好ましく、例えば、Al、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、Ru、Irの金属膜、Ti、TiN、TiAlN、Ta_xN、TiSiN、WN、WBN、CoSiもしくはWの高融点金属膜、RuO₂、RhO₂又はIrO₂の導電性酸化膜もしくはこれらの組合せにより成るか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜で構成されることが好ましい。二重膜としては、TiN膜と不純物がドーピングされたポリシリコン膜の二重膜が挙げられる。

【0039】このようにゲート電極67がシリコン基板61より仕事関数が大きくなれば、後述するようにシリコン基板61からゲート電極67へ流れる電流量を少なくできるので、ゲート絶縁膜65の絶縁特性を向上させ得る。

【0040】本発明の半導体素子はシリコン基板61上に前記ゲート絶縁膜65の形成を容易にするための安定化膜63、具体的にはシリコン酸化膜、シリコン窒化膜又はこれらの複合膜が形成されていることが好ましい。例えば、前記安定化膜63は原子層蒸着法を用いて誘電

体膜（ゲート絶縁体膜）を形成する段階において、シリコン基板61上に供給される反応物が親水性物質の場合に前記シリコン基板61の表面を親水性化させる親水性膜であることが好ましい。

【0041】以下では説明の便宜上、キャパシタ構造を示す第1の実施形態を参照として誘電体膜の絶縁特性について説明するが、第2の実施形態のトランジスタ構造同様に説明が適用できる。即ち、キャパシタの下部電極はトランジスタのシリコン基板に対応し、キャパシタの誘電体膜はゲート絶縁体膜に対応し、キャパシタの上部電極はトランジスタのゲート電極に対応する。

【0042】図3及び図4は各々従来のキャパシタ及び図1のキャパシタ障壁高さ（barrier height）と等価回路とを概略的に示した図面である。

【0043】具体的には、図3は従来のキャパシタ障壁の高さ及び等価回路を示した図面である。図3の従来のキャパシタは上部および下部電極を全て不純物がドーピングされたポリシリコン膜で構成し、原子層蒸着法を用いて誘電体膜を60Å厚さのアルミニウム酸化膜で構成した場合（以下、SISキャパシタと称する）である。

図4は図1のキャパシタの障壁高さ及び等価回路を示した図面である。図4のキャパシタは下部電極を、シリコン系物質膜である不純物がドーピングされたポリシリコン膜とし、原子層蒸着法を用いて誘電体膜を60Å厚さのアルミニウム酸化膜とし、上部電極は前記下部電極より仕事関数が大きいTiN膜で構成した場合（以下、MISキャパシタと称する）である。本発明のMISキャパシタにおいては、上部電極をTiN膜と不純物がドーピングされたポリシリコン膜で構成された二重膜で構成することもでき、この場合は不純物がドーピングされたポリシリコン膜により半導体素子の表面抵抗を調節することができる。

【0044】図3及び図4で、上部電極に正方向のバイアスが印加された時、下部電極に存在する電子は、初期障壁aを通過するための第1抵抗成分41と、誘電体膜自体の第2抵抗成分43を通過して上部電極へ移動する。

【0045】ところで、図4の本発明のキャパシタにおいては上部電極に正バイアス電圧が印加された時、電子は初期障壁aを通過した後、障壁がより高い上部電極に向かって移動する。この際、下部電極と上部電極との障壁の差b₂-aにより生じる傾斜は結局電子の流れを阻止する第3抵抗成分45として作用して、電子が下部電極から上部電極へ流れる 것을妨害するので、誘電体膜の絶縁特性が向上する。

【0046】また、上部電極に負バイアス電圧が印加されれば、初期障壁b₁、b₂による第4抵抗成分47a、47bが生じ、電子が上部電極から下部電極へ移動しにくくなる。特に、図4の本発明キャパシタの初期障壁高さb₂は、図3の従来のキャパシタの初期障壁高さb₁より

さらに高いので、本発明の第4抵抗成分47bが従来の第4抵抗成分47aよりも大きくなる。

【0047】図5は従来のSISキャパシタ及び本発明のMISキャパシタの電圧による漏れ電流密度を示したグラフであり、図6は従来のSISキャパシタ及び本発明のMISキャパシタの障壁高さを示したグラフである。

【0048】図5に示したように一般的な半導体素子で許容できる漏れ電流密度 $1\text{E}-7\text{A}/\text{cm}^2$ に関してみれば、本発明のMISキャパシタは従来のSISキャパシタより約0.9V大きい離陸点を示す、すなわち漏れ電流密度が $1\text{E}-7\text{A}/\text{cm}^2$ Vを超える電圧が約0.9V大きい。

【0049】このような現象は図4及び図6に示す下部電極と上部電極との障壁高さに起因する。図6で、X軸は障壁エネルギーを示し、Y軸は障壁高さを示す。Jmaxは125°Cでの臨界電流密度を示し、Jminは25°Cでの臨界電流密度を示す。図6に示すように、正バイアス電圧でのピーク点は障壁エネルギーを示すが、従来のSISキャパシタは1.42eVを示し、本発明のMISキャパシタは2.35eVを示す。

【0050】このように従来のSISキャパシタと本発明のMISキャパシタとには障壁高さ差が0.93eVを示し、前記障壁高さ差は図4に説明した障壁高さ差b2-aと一致する。従って、本発明のMISキャパシタは前記障壁高さ差の分だけ従来のSISキャパシタより離陸点が大きくなる。言い換えれば、本発明のMISキャパシタは従来のSISより許容漏れ電流密度で約0.9V程度さらに耐えられるので、誘電体膜の厚さを縮められ、これによりキャパシタンスを増加させ得る。

【0051】図7及び図8は各々本発明のMISキャパシタ及び従来のSISキャパシタにおいて電圧および誘電体膜厚さを変化させたときの漏れ電流密度を示したグラフである。

【0052】具体的には、電圧1.2Vのときの漏れ電流密度が約 $1\text{E}-7$ という一般的な基準値を示すためには、本発明のMISキャパシタの場合は酸化膜の厚さが28Åであり、従来のSISキャパシタの場合は41Åである。本発明のMISキャパシタの場合に膜厚を薄くできるのは、前述したように本発明のMISキャパシタが約0.9Vの離陸点マージンを持つからである。

【0053】図9は図1に示したキャパシタの誘電体膜を原子層蒸着法で形成した場合の、各反応物の供給及びバージング過程を示したグラフであり、図10は原子層蒸着法により形成された誘電体膜の均一度を示したグラフであり、図11は原子層蒸着法により形成された誘電体膜のXPSピーク値を示した図面である。

【0054】本実施形態では、本発明のキャパシタ誘電体膜はステップカバレージ特性に優れた原子層蒸着法で形成し、誘電体膜をアルミニウム酸化膜で形成する場合

を例にとって説明する。原子層蒸着法は図9のようにチャンバーにアルミニウムが含有された反応ガス(反応物)を供給した後、不活性ガスでバージした後、再び酸化ガスを供給して不活性ガスでバージするサイクルを反復する蒸着法を用いた。従って、本発明の原子層蒸着法は原子層エピタクシ、サイクリック化学蒸着法、ディジタル化学蒸着、ALCVDを含む。

【0055】より詳しく説明すれば、図9のように半導体基板、例えばシリコン基板上にTMA[A1(C₂H₃)₃]、Al(CH₃)Cl、AlCl₃などのアルミニウムが含有された反応物をチャンバーに供給して不活性ガスでバージした後、H₂O、N₂O、NO₂、O₃などの酸化ガスを供給して不活性ガスでバージングするサイクルを数回反復することによりアルミニウム酸化膜を形成する。即ち、アルミニウムが含有された第1反応物と、酸化ガスの第2反応物を順次に供給することによりアルミニウム酸化膜を形成する。

【0056】本実施形態ではアルミニウムが含有された反応物はTMAを使用し、酸化ガスをH₂Oガスとして使用して得られたアルミニウム酸化膜は図10に示すように測定位置に対する均一度が優秀であった。図10で、測定点は半導体ウェーハの中心の1点、半導体ウェーハ中心を基準に1.75インチ(4.45cm)の半径を有する円で90度間隔に4点、半導体ウェーハ中心を基準に3.5インチ(8.89cm)の半径を有する円で90度間隔に4点の計9点である。

【0057】また、アルミニウム酸化膜をX線電子分光法(XPS)を測定したところ、図11および図12に示すようにAl-O及びO-Oピークのみ示され、酸素とアルミニウムとのみから成ることが示唆された。なお、図11及び図12で、X軸は結合エネルギーであり、Y軸はカウントを示す。

【0058】続いて、本発明に係るキャパシタの製造方法を説明する。説明の容易のため、キャパシタの製造方法を例にとって説明するが、トランジスタその他の半導体素子に以下の製造方法が適用できることはもちろんである。また、下部電極などの製造には各種公知の技術を用いることができる。

【0059】図13は下部電極33及び安定化膜35を形成する段階を示す。

【0060】まず、半導体基板、例えばシリコン基板上にコンタクトホールを有する層間絶縁膜32を形成する。その後、前記層間絶縁膜32が形成された半導体基板31上に前記コンタクトホールを通じて前記半導体基板31と接続する下部電極33を形成する。特に、本発明の下部電極33は不純物がドーピングされたポリシリコン膜のようなシリコン系物質膜で形成するので多様な3次元構造で形成できる。

【0061】次に、前記下部電極上に誘電体膜を容易に形成するために前記下部電極33表面に安定化膜35を

1~40Åの厚さで形成することが好ましい。前記安定化膜35はRTP (Rapid Thermal process)、アニーリング工程又はプラズマ工程などの工程、またはシリコン及び窒素が含まれた反応物を用いて、900℃、3時間処理することにより窒素系ガスにより構成されたシリコン窒化膜で形成することができる。又、前記安定化膜35は酸素系ガスを用いてアニーリング、熱紫外線処理又はプラズマ処理してシリコン酸化膜で形成することもできる。例えば、窒素源としてアンモニアガス (NH_3) を用いて60秒程度RTP又は450℃で3分間紫外線オゾン処理した。

【0062】ここで、図15を用いて安定化膜35の役割に対して説明する。図15は本発明のMISキャパシタにおいて下部電極の表面に安定化膜が形成される場合aと形成しない場合bとのアルミニウム酸化膜のサイクル当たり厚さを示したグラフである。

【0063】安定化膜35は後工程である誘電体膜形成時、誘電体膜を安定に形成させる役割を果たす。即ち、不純物がドーピングされた下部電極、例えばポリシリコン表面は通常疎水性状態なので、酸化ガスの水蒸気を用いて誘電体膜を形成する時、疎水性の下部電極33上ではアルミニウム酸化膜を安定に形成できない。即ち、図15のbに示したように安定化膜35を形成しなければ、10サイクルの潜伏期を経た後、アルミニウム酸化膜が成長する。しかし、安定化膜35を形成すれば、下部電極33の表面が親水性に変質する。このため、図15のaで表示したように潜伏期を経ず直ちにアルミニウム酸化膜が形成できるため安定にアルミニウム酸化膜が*

誘電体膜 厚さ(Å)	酸素アニーリング	紫外線オゾン 処理	酸素急速 熱処理	窒素アニーリング
28	0.7(28.6)		0.45(27.6)	0.9(28.0)
31	1.25(30.9)	1.55(31.2)	1.30(30.2)	1.6(30.8)
33	1.8(33.1)	2.05(33.6)	1.85(32.5)	2.1(32.6)

【0068】表1で、酸素アニーリングは750℃で30分間実施し、紫外線オゾン処理は300℃で20mWattのエネルギーで10分間実施し、酸素RTPは750℃で3分間実施し、窒素アニーリングは750℃で3分間実施した。そして、前記表1の値はセル当たり1fAの電流を流した際にかかる電圧値であり、括弧内の数字は後熱処理した後の誘電体膜の厚さを示す。表1に示すように、紫外線オゾン処理と窒素アニーリングしたサンプルが電圧値が高いことから優れていることがわかる。なお、本実施形態では誘電体膜形成後、後熱処理を遂行したが、遂行しない場合もある。

【0069】次に、図1に示したように誘電体膜37上に上部電極39を形成する。前記上部電極39は前述したようにシリコン系物質で構成された下部電極より仕事関数が大きい物質膜で構成される。上述したように、前記上部電極39はAl、Ni、Co、Cu、Mo、R

*形成される。本実施形態では安定化膜35を形成したが、必要に応じては安定化膜を形成しない場合もある。

【0064】図14は誘電体膜37を形成する段階を示す。

【0065】例えば、前記下部電極33上にアルミニウム源及び酸化ガスを順次チャンバーに注入して原子サイズ程度厚さ、例えば約0.5~100Å程度の厚さのアルミニウム酸化膜を形成する。以後、前述したような原子サイズ程度の厚さのアルミニウム酸化膜を形成する過程を反復して約10~300Å程度の厚さのアルミニウム酸化膜からなる誘電体膜37を形成する。このように形成される誘電体膜37は原子層蒸着法の工程特性上、ステップカバレージが非常に良いので好ましい。例えば、アスペクト比が9:1の構造の場合はステップカバレージを98%以上にすることができる。

【0066】誘電体膜37を形成した後、不純物の除去、誘電体膜の緻密化及び優れた化学量論的を有する誘電体膜を得るために後熱処理をすることが好ましい。処理方法としては、紫外線オゾン処理、窒素アーニング、酸素アーニング、ウェット酸化、N₂、NH₃、O₂、N₂Oなどの含酸素ガスまたは含窒素ガスを用いたRTP又は真空アーニングを用いられる。処理条件は、本処理の目的が得られるものであれば特に限られるものではないが、例えば、900℃の温度での3時間の処理が挙げられる。幾つかの処理を実施した結果を下記の表に示す。

【0067】

【表1】

h、Pd、Sn、Au、Pt、Ru、Irなどの金属膜、Ti、TiN、TiAlN、Ta_xN、TiSiN、WN、WB_xN、CoSi、Wなどの高融点金属膜、RuO₂、RhO₂、IrO₂などの導電性酸化膜又はこれらの組合せより成るか、またはシリコン系物質より仕事関数が大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次に形成された二重膜で構成することが好ましい。本実施形態では上部電極をTiN膜と不純物がドーピングされたポリシリコン膜の二重膜とで形成することが特に好ましい。

【0070】誘電体（ゲート絶縁膜）、第1電極（下部電極、シリコン基板）、第2電極（上部電極、ゲート電極）としては上述したものが同様に使用できる。

【0071】以上、実施形態を通じて本発明を具体的に説明したが、本発明はこれに限られるものではなく、本発明の技術的思想内で当分野に通常の知識によるその変

形や改良が可能である。

【0072】

【発明の効果】 前述したように、本発明の半導体素子は一般に使用されるシリコン系物質膜、例えば不純物がドーピングされたポリシリコン膜を下部電極として採用する時、順次供給して形成された誘電体膜と、前記下部電極より仕事関数が大きい物質膜からなる上部電極とで構成する。このような構成をとることにより、誘電体膜の絶縁特性を向上させられ、キャパシタンス値を高められる。

【図面の簡単な説明】

【図1】 本発明の半導体素子の第1の実施形態を示した断面図である。

【図2】 本発明の半導体素子の第2の実施形態を示した断面図である。

【図3】 従来のキャパシタ障壁高さと等価回路とを概略的に示した図面である。

【図4】 図1のキャパシタ障壁高さと等価回路とを概略的に示した図面である。

【図5】 従来のSISキャパシタ及び本発明のMISキャパシタの電圧と漏れ電流密度との関係を示したグラフである。

【図6】 従来のSISキャパシタ及び本発明のMISキャパシタの障壁エネルギーを示したグラフである。

【図7】 本発明のMISキャパシタにおける電圧、漏れ電流密度および誘電体膜厚さとの関係を示したグラフである。

【図8】 従来のSISキャパシタにおける電圧、漏れ電流密度および誘電体膜厚さとの関係を示したグラフである。

【図13】 図1に示した半導体素子のキャパシタの製造方法において、安定化膜が形成された段階を示す断面図である。

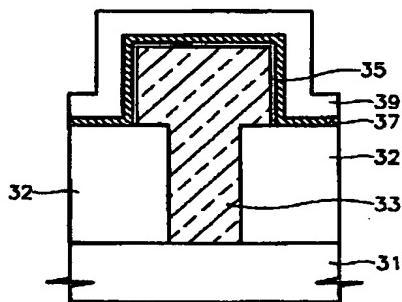
【図14】 図1に示した半導体素子のキャパシタの製造方法において、誘電体膜が形成された段階を示す断面図である。

【図15】 本発明のMISキャパシタにおいて下部電極の表面に安定化膜が形成される場合aと形成しない場合bとのアルミニウム酸化膜のサイクル当たり厚さを示したグラフである。

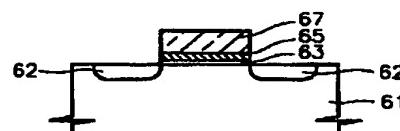
【符号の説明】

- | | |
|-----|--------|
| 3 1 | 半導体基板 |
| 3 2 | 層間絶縁膜 |
| 3 3 | 下部電極 |
| 3 5 | 安定化膜 |
| 3 7 | 誘電体膜 |
| 3 9 | 上部電極 |
| 6 1 | シリコン基板 |
| 6 5 | ゲート絶縁膜 |
| 6 7 | ゲート電極 |

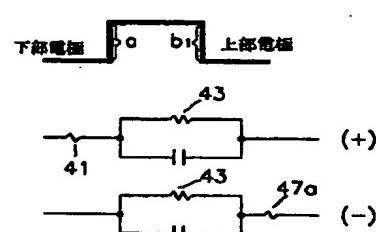
【図1】



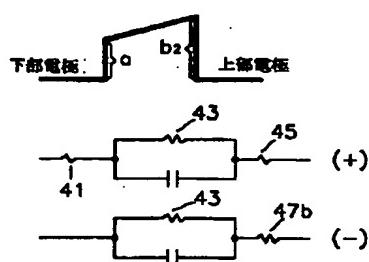
【図2】



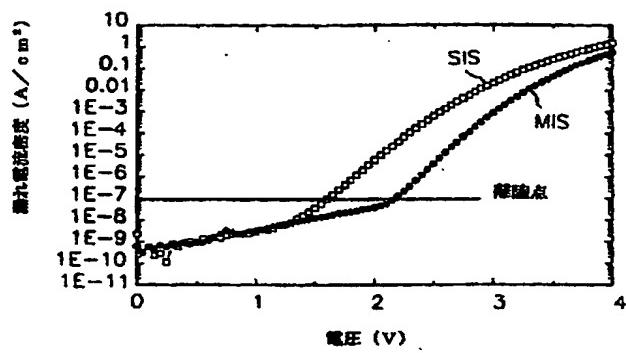
【図3】



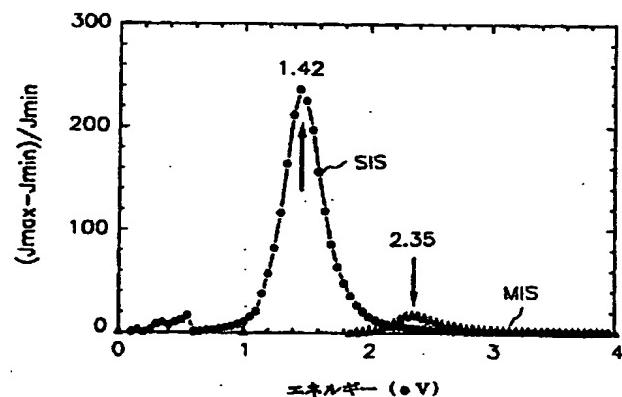
【図4】



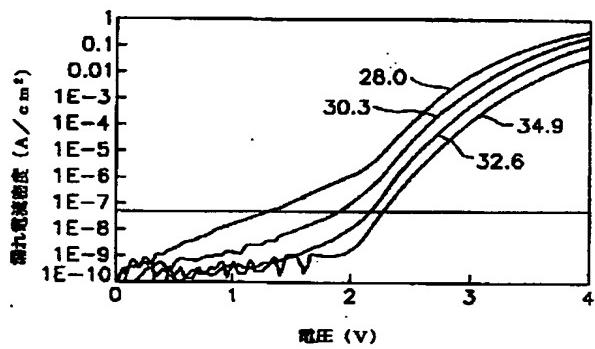
【図5】



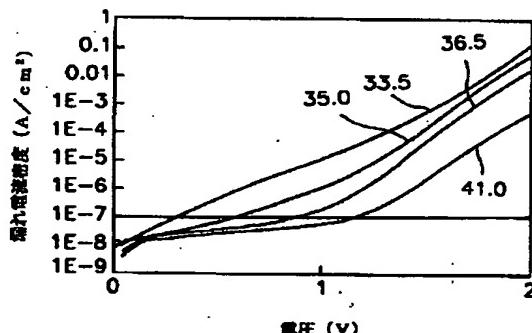
【図6】



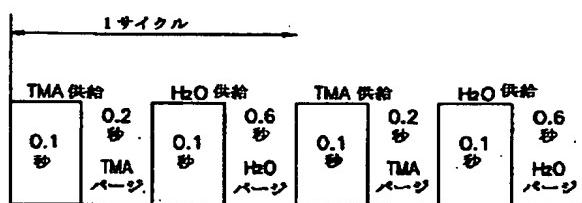
【図7】



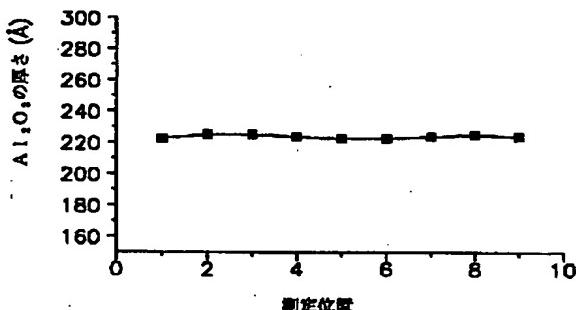
【図8】



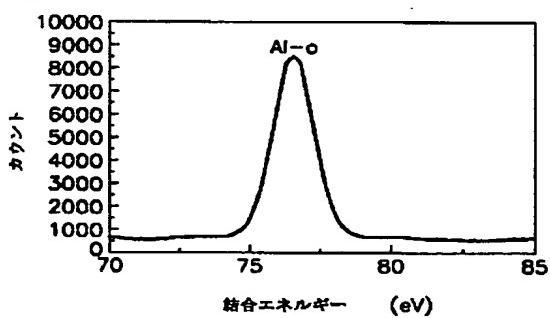
【図9】



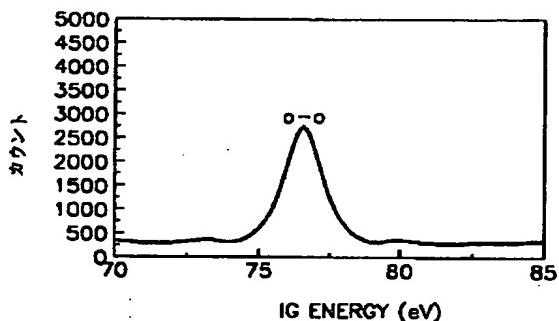
【図10】



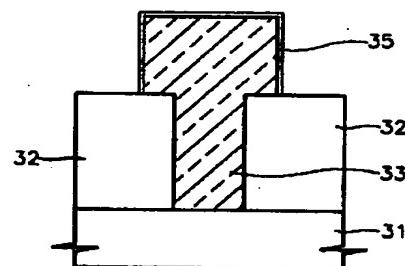
【図11】



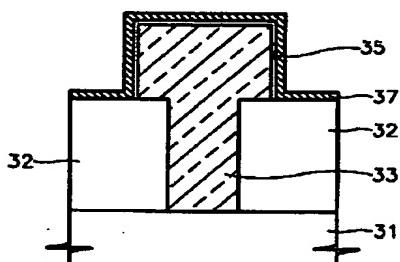
【図12】



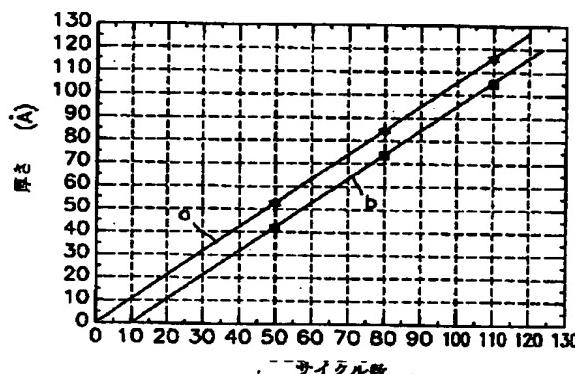
【図13】



【図14】



【図15】



フロントページの続き

(51) Int.Cl.⁷ 識別記号
H 01 L 27/108
21/8242
29/43

F I テーマコト⁷ (参考)
H 01 L 27/10 6 5 1
29/62 G

(72) 発明者 朴 泳 旭
大韓民国京畿道安養市東安区葛山洞1115番
地 セムマウルアパート301棟703号
(72) 発明者 李 相 ▲忍▼
大韓民国京畿道水原市八達区梅灘2洞 韓
国1次アパート104棟706号
(72) 発明者 張 允 優
大韓民国ソウル特別市江南区大峙洞 銀馬
アパート28棟905号
(72) 発明者 李 鍾 鎬
大韓民国京畿道軍浦市光亭洞 漢陽木蓮ア
パート1213棟901号

(72) 発明者 崔 城 ▲済▼
大韓民国ソウル特別市瑞草区瑞草洞 振興
アパート1棟505号
(72) 発明者 李 承 桓
大韓民国ソウル特別市瑞草区方背2洞 ム
ジゲアパート2棟907号
(72) 発明者 林 載 順
大韓民国ソウル特別市中浪区墨1洞122-
47番地 天池ビル ピー01号
(72) 発明者 李 周 ▲遠▼
大韓民国京畿道水原市八達区仁溪洞158-
30番地 鮮京2次アパート201棟505号